

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274367
 (43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 27/115
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 2000-089287
 (22)Date of filing : 28.03.2000

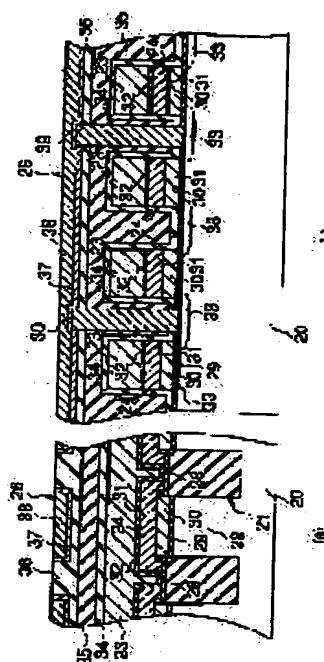
(71)Applicant : TOSHIBA CORP
 (72)Inventor : HAGIWARA HIROYUKI

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND PRODUCING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable non-volatile semiconductor memory device capable of improving the inversion pressure resistance of a field transistor and the pressure resistance of an insulating film between a floating gate and a control gate, by protecting an element isolation region or producing method for non-volatile semiconductor memory device capable of improving throughput by protecting element isolation without using a lithography process.

SOLUTION: After an element isolation region 21 is formed, an insulating film 28 such as silicon-nitride film and a silicon-oxide film 43 are formed all over the surface and the silicon-oxide film 43 is ground while using the insulating film 28 resistant to hydrofluoric acid as a stopper. Continuously, the insulating film 28 resistant to hydrofluoric acid on a polycrystal silicon film 30 is removed. Next, by removing the silicon-oxide film 43 on the insulating film 28 resistant to hydrofluoric acid by wet etching, the insulating film 28 is formed by self-aligning all over the upper surface of the element insulation region 21.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274367

(P2001-274367A)

(43) 公開日 平成13年10月5日 (2001. 10. 5)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 F 0 0 1
21/8247		29/78	3 7 1	5 F 0 8 3
29/788				5 F 1 0 1
29/792				

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2000-89287 (P2000-89287)

(22) 出願日 平成12年3月28日 (2000. 3. 28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 萩原 裕之

三重県四日市市山之一色町800番地 株式
会社東芝四日市工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

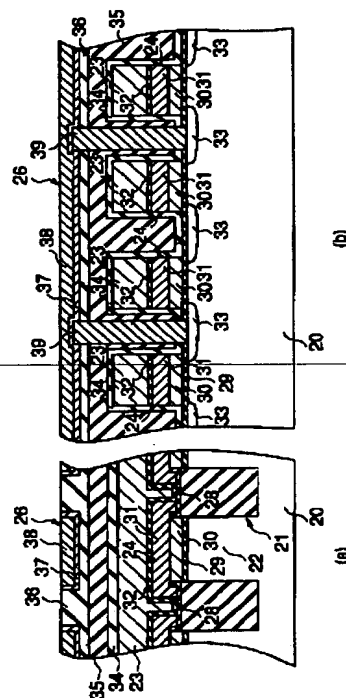
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置、またはリソグラフィ工程を用いずに素子分離を保護することで、スルーボットを向上できる不揮発性半導体記憶装置の製造方法を提供すること。

【解決手段】 素子分離領域21を形成した後、全面にシリコン窒化膜等の耐弗酸性絶縁膜28及びシリコン酸化膜43を形成し、上記シリコン酸化膜43を、耐弗酸性絶縁膜28をストッパーに用いて研磨する。引き続き、多結晶シリコン膜30上の耐弗酸性絶縁膜28を除去する。次にウェットエッチングにより耐弗酸性絶縁膜28上のシリコン酸化膜43を除去することで素子分離領域21の上面全体に耐弗酸性絶縁膜28をセルフアラインで形成することを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板に設けられた素子分離領域と、

前記素子分離領域の上面の全面に設けられた耐弗酸性絶縁膜と、

隣接する前記素子分離領域間の活性領域上に設けられた第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に設けられた第1の導電膜及び該第1の導電膜上に設けられた第2の導電膜とを備える第1のゲート電極と、

前記第1のゲート電極上に設けられた第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に設けられ、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極と、

前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆する層間絶縁膜とを具備し、

前記素子分離領域の上面は、前記第1の導電膜の上面より低いことを特徴とする不揮発性半導体記憶装置。

【請求項2】 半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に第1のゲート電極の一部を構成する第1の導電膜を形成する工程と、

前記第1の導電膜、前記第1のゲート絶縁膜及び前記半導体基板をエッチングしてトレンチを形成し、該トレンチ内に絶縁膜を埋め込むことにより素子分離領域を形成する工程と、

前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程と、

前記第1の導電膜及び前記耐弗酸性絶縁膜上に第2の導電膜を形成する工程と、

前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜に達するまで除去して第1のゲート電極を形成する工程と、

前記第1のゲート電極上に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜上に、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極を形成する工程と、

前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆するように層間絶縁膜を形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項3】 前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、

前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、
前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、

前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、

前記第1のマスク材を、前記第1の導電膜上の前記耐弗酸性絶縁膜をストッパーにして除去する工程と、

前記第1の導電膜上の前記耐弗酸性絶縁膜を除去する工程と、

前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴とする請求項2記載の不揮発性半導体記憶装置の製造方法。

【請求項4】 前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、

前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、

前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、

前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、

前記第1のマスク材を、前記第1の導電膜をストッパーにして除去する工程と、

前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴とする請求項2記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 前記第2の導電膜を形成する工程の前に、前記第1の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴とする請求項2乃至4いずれか1項記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 前記第2のゲート絶縁膜を形成する工程の前に、前記第2の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴とする請求項2乃至5いずれか1項記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜上に達するまで除去して第1のゲート電極を形成する工程は、

前記第2の導電膜上に第2のマスク材を形成する工程と、

前記第2のマスク材をリソグラフィ技術とエッチングによりパターンニングする工程と、

前記第2のマスク材及び前記第2の導電膜上に第3のマスク材を形成する工程と、

前記第3のマスク材をエッチングして、前記第2のマスク材の側壁にのみ残存させる工程と、

前記第2、第3のマスク材を用いて前記第2の導電膜をエッチングして、前記耐弗酸性絶縁膜上の該第2の導電

膜の少なくとも一部を該耐弗酸性絶縁膜に達するまで除去する工程と、
 弗酸を含有した処理液を用いて、前記第2、第3のマスク材を除去、及び前記第2の導電膜の表面を洗浄する工程とを備えることを特徴とする請求項2乃至6いずれか1項記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置及びその製造方法に関するもので、特に2層ゲート構造のMOSTランジスタをメモリセルトランジスタとして用いるものに係る。

【0002】

【従来の技術】近年の半導体装置の製造技術の向上により、特に半導体記憶装置の微細化が急速に進行している。それに伴い、個々の素子を電氣的に分離する素子分離技術に関する研究も盛んに進められている。

【0003】従来の不揮発性半導体記憶装置について図28を用いて説明する。図28は、NOR型フラッシュEEPROM (Electrically Erasable and Programmable Read Only Memory) のメモリセルアレイ領域における、ワード線方向に沿った一部断面図である。

【0004】図示するように、シリコン基板100には素子分離領域110が形成され、この隣接する素子分離領域110間の活性領域120上にはゲート絶縁膜130が形成されている。そして、ゲート絶縁膜130上に浮遊ゲート140が形成されている。更に、全面に浮遊ゲート・制御ゲート間絶縁膜150が形成され、この浮遊ゲート・制御ゲート間絶縁膜150上に、前記浮遊ゲート140とオーバーラップするようにして制御ゲート160が形成されている。また、シリコン基板100中には図示しないが選択的に不純物拡散層が形成されることでメモリセルトランジスタが構成されている。

【0005】上記構造のNOR型フラッシュEEPROMにおいて、データの記憶はメモリセルトランジスタの浮遊ゲート160に電荷を注入することにより行う。この電荷の注入は、メモリセルトランジスタのチャネル領域でホットキャリアを発生させて浮遊ゲート160へ注入する方法、若しくは浮遊ゲート160とシリコン基板100との間のゲート絶縁膜130に高電界を印加し、トンネル効果により電荷を注入する方法により行われる。

【0006】いずれの方法においても、制御ゲート160には高電界を印加しなければならない。この状態で安定した素子分離を行うには、制御ゲート160、浮遊ゲート・制御ゲート間絶縁膜150、半導体基板100のMOS構造で形成されるフィールドトランジスタの反転耐圧を十分に確保する必要がある。特に、近年の半導体装置の微細化の進行により、素子分離領域110の深さを浅くする要請があるため、この反転耐圧の確保は益々

重要な技術となっている。

【0007】また、データの書き込み及び消去時には、浮遊ゲート・制御ゲート間絶縁膜150には、5MV/cm程度の高電界が印加される。従って、この浮遊ゲート・制御ゲート間絶縁膜150の高耐圧化も求められている。

【0008】浮遊ゲート140は一般的に多結晶シリコン膜により形成される。前記浮遊ゲート・制御ゲート間絶縁膜150の耐圧は、下地の浮遊ゲート140である多結晶シリコン膜の清浄度に大きく影響を受ける。そのため、従来のNOR型フラッシュEEPROMの製造方法においては、浮遊ゲート・制御ゲート間絶縁膜150の耐圧を向上させるために、多結晶シリコン膜の洗浄を行っており、この洗浄処理は自然酸化膜除去効果のある処理液（例えばHF、希釈HF、NH₄F、または希釈NH₄F等）を用いて行われる。

【0009】しかし、このような洗浄処理を行うと、素子分離領域110を形成しているシリコン酸化膜がエッチングされるという問題がある。この問題について図29を用いて説明する。図29はNOR型フラッシュEEPROMのワード線方向に沿った断面図である。図示するように、素子分離領域110の一部が侵食されて薄くなっている様子が分かる。このため、フィールドトランジスタの反転耐圧が低下すると共に、浮遊ゲート140においては、浮遊ゲート上端170に加えて下端180にも角部が形成されるため、電界集中箇所が増加し、浮遊ゲート・制御ゲート間絶縁膜150の耐圧も劣化するという問題があった。

【0010】上記問題を回避するために、図30に示す構造が提案されている。図30はNOR型フラッシュEEPROMのワード線方向に沿った断面図である。図示するように、素子分離領域110上に耐弗酸性絶縁膜（シリコン窒化膜等）190を設けている。そのため、浮遊ゲート140の洗浄処理において、素子分離領域110を耐弗酸性絶縁膜により保護できる。

【0011】しかし、上記構造を形成するには、耐弗酸性絶縁膜190を素子分離領域110上にのみ残存させるためのリソグラフィ工程が必要となる。そのため、製品のスループットが低下するという問題がある。更に、図31に示すように、前記リソグラフィ工程において、耐弗酸性絶縁膜190のあわせずれが生じて耐弗酸性絶縁膜190が浮遊ゲート140の分離領域からはずれると、やはりその後の洗浄処理において、素子分離領域110が侵食されるという問題があった。特に、微細化の進行と共に素子分離領域110の幅が狭くなると、上記リソグラフィ工程で許容されるあわせずれ量も厳しくなり、実際の半導体記憶装置の製造プロセスにおいては現実的ではない。

【0012】

【発明が解決しようとする課題】上記従来の半導体記憶

装置及びその製造方法は、浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上させるために、浮遊ゲート・制御ゲート間絶縁膜の形成の下地となる浮遊ゲートの洗浄処理を行っていた。しかし、この洗浄工程は、酸化膜除去効果のある特に弗酸系の処理液で行われるため、浮遊ゲートの分離領域下の素子分離領域が侵食される場合があった。そのため、フィールドトランジスタの反転耐圧が低下すると共に、浮遊ゲートにおいては電界集中箇所が増加し、浮遊ゲート・制御ゲート間絶縁膜の耐圧も劣化するという問題があった。

【0013】また、上記問題点を解決するために提案された、素子分離領域上に耐弗酸性絶縁膜を設ける方法では、この耐弗酸性絶縁膜を加工するためのリソグラフィ工程を必要とし、半導体記憶装置のスループットが低下するという問題があった。更に、微細化が進むにつれてリソグラフィ工程で許容されるあわせずれ量が低下し、耐弗酸性絶縁膜が浮遊ゲートの分離領域からはずれると、やはりその後の洗浄処理において、素子分離領域が侵食されるという問題があった。

【0014】この発明は、上記事情に鑑みてなされたもので、その第1の目的は、素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置を提供することにある。

【0015】また、この発明の第2の目的は、リソグラフィ工程を用いずに素子分離を保護することで、スループットを向上できる不揮発性半導体記憶装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】この発明の請求項1に記載した不揮発性半導体記憶装置は、半導体基板に設けられた素子分離領域と、前記素子分離領域の上面の全面に設けられた耐弗酸性絶縁膜と、隣接する前記素子分離領域間の活性領域上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1の導電膜及び該第1の導電膜上に設けられた第2の導電膜とを備える第1のゲート電極と、前記第1のゲート電極上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられ、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極と、前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆する層間絶縁膜とを具備し、前記素子分離領域の上面は、前記第1の導電膜の上面より低いことを特徴としている。

【0017】この発明の請求項2に記載した不揮発性半導体記憶装置の製造方法は、半導体基板上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜上に第1のゲート電極の一部を構成する第1の導電膜を形成する工程と、前記第1の導電膜、前記第1のゲート絶

縁膜及び前記半導体基板をエッチングしてトレンチを形成し、該トレンチ内に絶縁膜を埋め込むことにより素子分離領域を形成する工程と、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程と、前記第1の導電膜及び前記耐弗酸性絶縁膜上に第2の導電膜を形成する工程と、前記耐弗酸性絶縁膜上の少なくとも一部の前記第2の導電膜を、該耐弗酸性絶縁膜に達するまで除去して第1のゲート電極を形成する工程と、前記第1のゲート電極上に第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜上に、前記第1のゲート電極と少なくとも一部がオーバーラップする第2のゲート電極を形成する工程と、前記第1のゲート絶縁膜、前記第1のゲート電極、前記第2のゲート絶縁膜、及び前記第2のゲート電極が積層されて形成された積層ゲート構造を被覆するように層間絶縁膜を形成する工程とを具備することを特徴としている。

【0018】また、請求項3に記載したように、請求項2記載の不揮発性半導体記憶装置の製造方法において、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、前記第1のマスク材を、前記第1の導電膜上の前記耐弗酸性絶縁膜をストッパーにして除去する工程と、前記第1の導電膜上の前記耐弗酸性絶縁膜を除去する工程と、前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴としている。

【0019】更に、請求項4に記載したように、請求項2記載の不揮発性半導体記憶装置の製造方法において、前記素子分離領域の上面の全面に、該素子分離領域に対してセルフアラインに耐弗酸性絶縁膜を形成する工程は、前記素子分離領域の表面を、少なくとも前記第1の導電膜の表面より低くなるようにエッチングする工程と、前記素子分離領域及び前記第1の導電膜上に、前記耐弗酸性絶縁膜を形成する工程と、前記耐弗酸性絶縁膜上に第1のマスク材を形成する工程と、前記第1のマスク材を、前記第1の導電膜をストッパーにして除去する工程と、前記耐弗酸性絶縁膜上の前記第1のマスク材を除去する工程とを備えることを特徴としている。

【0020】請求項5に記載したように、請求項2乃至4いずれか1項記載の不揮発性半導体記憶装置の製造方法において、前記第2の導電膜を形成する工程の前に、前記第1の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴としている。

【0021】請求項6に記載したように、請求項2乃至5いずれか1項記載の不揮発性半導体記憶装置の製造方

法において、前記第2のゲート絶縁膜を形成する工程の前に、前記第2の導電膜の表面を、弗酸を含有した処理液により洗浄する工程を更に備えることを特徴としている。

【0022】請求項7に記載したように、請求項2乃至6いずれか1項記載の不揮発性半導体記憶装置の製造方法において、前記耐弗酸性絶縁膜上の少なくとも一部の第2の導電膜を、該耐弗酸性絶縁膜上に達するまで除去して第1のゲート電極を形成する工程は、前記第2の導電膜上に第2のマスク材を形成する工程と、前記第2のマスク材をリソグラフィ技術とエッチングによりパターンニングする工程と、前記第2のマスク材及び前記第2の導電膜上に第3のマスク材を形成する工程と、前記第3のマスク材をエッチングして、前記第2のマスク材の側壁にのみ残存させる工程と、前記第2、第3のマスク材を用いて前記第2の導電膜をエッチングして、前記耐弗酸性絶縁膜上の該第2の導電膜の少なくとも一部を該耐弗酸性絶縁膜に達するまで除去する工程と、弗酸を含有した処理液を用いて、前記第2、第3のマスク材を除去、及び前記第2の導電膜の表面を洗浄する工程とを備えることを特徴としている。

【0023】請求項1、2のような構造及び方法によれば、素子分離領域の上面の全面に、耐弗酸性絶縁膜を形成している。この耐弗酸性絶縁膜は素子分離領域の保護膜として機能するため、その後の弗酸系の処理液による洗浄工程において、素子分離領域がエッチングされるのを防止できる。そのため、素子分離領域はフィールドトランジスタに対して、高い反転耐圧を維持できる。また、素子分離領域がエッチングされないために、第1のゲート電極に余計な角部が発生しないため、従来のような電界集中箇所の増加も回避でき、第2のゲート絶縁膜の耐圧も維持できる。更に、素子分離領域が耐弗酸性絶縁膜により保護されていることから、第1の導電膜及び第2の導電膜の表面を弗酸系の処理液により十分に洗浄できるため、第2のゲート絶縁膜の耐圧を更に向上できる。また、この耐弗酸性絶縁膜の形成はセルフアラインにより形成できることから、耐弗酸性絶縁膜上の少なくとも一部の第2の導電膜を除去して第1のゲート電極を形成する工程において、エッチングのマージンを大きくすることが出来るので、スループットを向上できる。

【0024】請求項3または4のような方法により、耐弗酸性絶縁膜を素子分離領域に対してセルフアラインに形成出来る。

【0025】請求項5または6のように、第1の導電膜及び第2の導電膜の表面を弗酸系の処理液により洗浄することで、第2の絶縁膜の耐圧を向上できる。

【0026】請求項7のように、リソグラフィ技術とエッチングによりパターンニングした第2のマスク材上に第3のマスク材を形成し、異方性のエッチングにより第3のマスク材を第2のマスク材の側壁にのみ残存させるこ

とで、リソグラフィ技術の加工限界以上に微細なマスクパターンを形成できる。また、マスク材を除去するために弗酸性の処理液を用いることで、同時に第2の導電膜の表面の洗浄を行うことが出来る。

【0027】

【発明の実施の形態】以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0028】この発明の第1の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0029】図1はNOR型フラッシュEEPROMの回路図である。図示するように、メモリセルアレイ10には複数の不揮発性メモリセル(MC: Memory Cell)がマトリクス状に配置されている。各々の不揮発性メモリセルMCは、1つのビット線(BL: Bit Line)と1つのソース線(SL: Source Line)に接続されている。複数の不揮発性メモリセルMCのゲートは、それぞれ行毎に異なるワード線(WL: Word Line)に接続されており、このワード線WL1~WL8はそれぞれロウデコーダ11に接続されている。ロウデコーダ11は複数のワード線WL1~WL8のいずれか1つを選択的に駆動する。

【0030】ビット線BL1~BL4はカラムセレクト12に接続されており、このカラムセレクト12は、電流経路の一端がビット線BL1~BL4にそれぞれ接続された複数のトランジスタ13-1~13-4を備えている。このトランジスタ13-1~13-4のゲートは、それぞれ異なるカラム選択線(CSL: Column Select Line)に接続されており、このカラム選択線CSL1~CSL4はそれぞれカラムデコーダ14に接続されている。カラムデコーダ14は複数のカラム選択線CSL1~CSL4のいずれか1つを選択的に駆動する。トランジスタ13-1~13-4のいずれか1つが選択的に駆動されことにより、複数のビット線BL1~BL4のいずれか1つが読み出し/書き込みノード15に電氣的に接続される。この読み出し/書き込みノード15は、それぞれ図示せぬ読み出し回路及び書き込み回路に接続されている。これにより、データの読み出し/書き込みが、カラムデコーダ14及びロウデコーダ11により選択された不揮発性メモリセルMCに対して行われる。

【0031】また、不揮発性メモリセルMCは、ワード線WLが延びる方向に沿って設けられたソース線SLに接続されている。このソース線SLは、ビット線BLが延びる方向に沿って設けられたグローバルソース線(GSL: Global Source Line)に接続され、グローバルソース線GSLはソースデコーダ16に接続されている。ソースデコーダ16は、グローバルソース線GSLを介してソース線SLにより不揮発性メモリセルMCのソー

ス電位を供給する。

【0032】図2は、図1における一点鎖線で囲んだ領域17の平面図である。図示するように、シリコン基板20には素子分離領域(STI: Shallow Trench Isolation)21が形成されており、この素子分離領域21間が素子を形成する活性領域(AA: Active Area)22となっている。活性領域22には浮遊ゲート(FG: Floating Gate)24が選択的に設けられ、この浮遊ゲート24を覆い、かつ活性領域22と直交するように制御ゲート(CG: Control Gate)23が延設されている。そして、各活性領域22のシリコン基板20中には、浮遊ゲート24と制御ゲート23を挟むように、ソース、ドレイン領域S、Dとなる不純物拡散層が設けられることでメモリセルトランジスタMCが形成されている。更に、この不揮発性メモリセルMCのドレインDにはコンタクトホール25が設けられ、このコンタクトホール25を介してビット線26に接続されている。また、不揮発性メモリセルMCのソースSは、素子分離領域21を介して隣接する不揮発性メモリセルMCのソースSと、例えば素子分離領域21の底部に設けられた不純物拡散層(ソース線SL)により共通に接続されている。

【0033】次に、図3(a)、(b)に、図2における一点鎖線で囲んだ領域27の、A-A'線、B-B'線方向に沿った断面図をそれぞれ示す。図示するように、半導体基板20には素子分離領域(STI)21が形成され、この素子分離領域21の上面を覆うようにして、耐弗酸性絶縁膜28が全面に形成されている。そして、隣接する素子分離領域21間の活性領域22上にはゲート絶縁膜29(第1のゲート絶縁膜)が形成され、このゲート絶縁膜29上には多結晶シリコン膜30(第1の導電膜)、31(第2の導電膜)からなる浮遊ゲート24(第1のゲート電極)、浮遊ゲート・制御ゲート間絶縁膜32(第2のゲート絶縁膜)、及び制御ゲート23(第2のゲート電極)が形成されている。更に、半導体基板20中に、ソース、またはドレイン領域として働く不純物拡散層33が選択的に形成されることで、メモリセルトランジスタが形成されている。これらのゲート絶縁膜29、浮遊ゲート24、浮遊ゲート・制御ゲート間絶縁膜32、制御ゲート23からなる積層ゲート構造を被覆するように、シリコン窒化膜34が全面に形成されている。また、このシリコン窒化膜34上には、メモリセルトランジスタを保護する層間絶縁膜35が形成され、層間絶縁膜35上には、シリコン酸化膜36が形成されている。このシリコン酸化膜36内には、チタン膜37及びタングステン膜38からなるビット線26が形成されており、ビット線26と接続するコンタクトプラグ39が、メモリセルトランジスタのドレイン領域と接続するように形成されることでNOR型フラッシュEEPROMが形成されている。

【0034】上記構成のNOR型フラッシュEEPROM

Mの製造方法について、図4(a)、(b)乃至図19(a)、(b)を用いて説明する。図4(a)、(b)乃至図19(a)、(b)は図3(a)、(b)に対応するもので、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿ったNOR型フラッシュEEPROMの製造工程の断面図を順次示している。

【0035】まず図4(a)、(b)に示すように、シリコン基板20上に、ゲート絶縁膜29(第1のゲート絶縁膜)となるシリコン酸化膜を熱酸化法等により100Åの膜厚に形成し、このゲート絶縁膜29上に、浮遊ゲートの下層電極となるリンを添加した多結晶シリコン膜30(第1の導電膜)を減圧CVD(Chemical Vapor Deposition)法等により800Åの膜厚に形成する。なお、このゲート絶縁膜29はシリコン酸化膜のままでもよいが、NH₃ガス等による窒化と酸化を行うことでオキシナイトライド膜としても良い。引き続き、多結晶シリコン膜30上にシリコン窒化膜40を、減圧CVD法等により1500Åの膜厚に形成する。

【0036】次に、図5(a)、(b)に示すように、リソグラフィ技術とRIE(Reactive Ion Etching)法等の異方性エッチングにより、素子分離領域の形成予定領域のシリコン窒化膜40、多結晶シリコン膜30、及びゲート絶縁膜29を順次エッチングし、更にシリコン基板20を4000Åの深さにエッチングして、素子分離領域を形成するためのトレンチ41を形成する。

【0037】そして、図6(a)、(b)に示すように、全面にシリコン酸化膜42(絶縁膜)をTEOS(tetraethylorthosilicate; Si(OC₂H₅)₄)を用いたHDP(High Density Plasma)法等により8000Åの膜厚に形成することで、トレンチ41を埋め込む。なお、トレンチ41をシリコン酸化膜42により埋め込む前に、酸化性雰囲気中での熱処理を行うことで、トレンチ41の表面に露出しているシリコン基板20表面に、シリコン酸化膜を形成してもよい。このシリコン酸化膜は、トレンチ41の側壁と底部との角部の形状を緩やかにすることで、この角部へのストレス等の集中を防止するためのものである。

【0038】次に図7(a)、(b)のように、上記シリコン酸化膜42を、シリコン窒化膜40をストッパーに用いたCMP法により研磨して平坦化し、素子分離領域21を完成する。

【0039】そして、図8(a)、(b)に示すように、ホットリン酸処理により、シリコン窒化膜40を選択的に除去し、シリコン酸化膜42を、多結晶シリコン膜30表面から200~400Å程度下がるまで、HF等によるウェットエッチングを行う。

【0040】その後、図9(a)、(b)のように、シリコン窒化膜等の耐弗酸性絶縁膜28、及びTEOSを用いたシリコン酸化膜43(第1のマスク材)をCVD法により、それぞれ200Å、1000Åの膜厚に形成

する。

【0041】上記シリコン酸化膜43を、耐弗酸性絶縁膜28をストッパーに用いたCMP法により研磨を行い、図10(a)、(b)のように耐弗酸性絶縁膜28を露出させる。

【0042】さらに図11(a)、(b)に示すように、ホットリン酸処理を行うことにより、多結晶シリコン膜30上の耐弗酸性絶縁膜28を除去する。この際、素子分離領域21上の耐弗酸性絶縁膜28はシリコン酸化膜43に保護されるためエッチングされない。

【0043】次にウェットエッチングにより耐弗酸性絶縁膜28上のシリコン酸化膜43を除去することで、図12(a)、(b)に示すように、素子分離領域21の上面全体に耐弗酸性絶縁膜28をセルフアラインで形成できる。その後、多結晶シリコン膜30を、弗酸系の処理液により洗浄処理を行い、自然酸化膜を除去する。この際、素子分離領域21は耐弗酸性絶縁膜28により保護される。

【0044】その後、図13(a)、(b)に示すように、全面に浮遊ゲートの上層電極となるリンを添加した多結晶シリコン膜31(第2の導電膜)を減圧CVD法等により形成する。

【0045】そして、リソグラフィ技術と異方性のエッチングにより、多結晶シリコン膜31を図14(a)、(b)に示すようにビット線BLの延設方向にパターンニングして浮遊ゲート24(第1のゲート電極)を形成する。そして、この浮遊ゲート24の上層部分の多結晶シリコン膜31表面の自然酸化膜を除去するために弗酸系の洗浄処理を行う。この際も、素子分離領域21は耐弗酸性絶縁膜28により保護できる。引き続き全面に浮遊ゲート・制御ゲート間絶縁膜32(第2のゲート絶縁膜)を形成する。この浮遊ゲート・制御ゲート間絶縁膜32は、例えばシリコン酸化膜(SiO_2 : 5nm)、シリコン窒化膜(SiN : 7nm)、及びシリコン酸化膜(SiO_2 : 5nm)の3層構造のONO膜である。なお、浮遊ゲート・制御ゲート間絶縁膜32は、単にシリコン酸化膜を用いても良いし、シリコン酸化膜とシリコン窒化膜との2層構造のON膜、NO膜であっても良い。

【0046】引き続き、図15(a)、(b)に示すように、浮遊ゲート・制御ゲート間絶縁膜32上に制御ゲート23(第2のゲート電極)を形成する。この制御ゲート23は、例えば不純物を添加した多結晶シリコン膜や、この多結晶シリコン膜とシリサイド膜との多層構造(ポリサイド)である。

【0047】そして、再度リソグラフィ技術と異方性のエッチングにより、制御ゲート23、浮遊ゲート・制御ゲート間絶縁膜32及び浮遊ゲート24を、図16(a)、(b)に示すようにワード線方向にパターンニングする。

【0048】次に、イオン注入法によりソース、ドレインとなる領域に不純物を導入して不純物拡散層33を選択的に形成し、導入した不純物の活性化のために熱処理を行う。引き続き、全面にシリコン窒化膜33を減圧CVD法により400Åの膜厚に形成することで、図17(a)、(b)の構造を形成する。

【0049】上記工程によりNOR型フラッシュEEPROMのメモリセルトランジスタが完成する。

【0050】次に、図18(a)、(b)に示すように、全面に段差被覆性の高いBPSG(Boron Phosphorous Silicate Glass)膜により層間絶縁膜35を常圧CVD法により形成し、その後の熱処理によりこの層間絶縁膜35をリフローさせて平坦化する。引き続き、プラズマCVD法等により、全面にシリコン酸化膜36を形成する。

【0051】そして、リソグラフィ技術と異方性のエッチングにより、図19(a)、(b)に示すようなコンタクトホール25を形成し、ビット線BL形成予定領域のシリコン酸化膜36の表面をエッチングする。

【0052】その後は、コンタクトホール25を多結晶シリコン膜等で埋め込むことでコンタクトプラグ39を形成し、ビット線BL形成予定領域をチタン膜37及びタングステン膜38で埋め込み、図3(a)、(b)に示した構造を完成する。

【0053】上記のような不揮発性半導体記憶装置及びその製造方法によれば、素子分離領域21の上面全体にシリコン窒化膜などによる耐弗酸性絶縁膜28を設けている。そのため、浮遊ゲート・制御ゲート間絶縁膜32の耐圧向上を目的とした多結晶シリコン膜31の洗浄処理において、素子分離領域21が侵食されるのを防止できる。そのため、素子分離領域21はフィールドトランジスタに対して、高い反転耐圧を維持できる。また、素子分離領域21がエッチングされないために、浮遊ゲート24に余計な角部が発生しないため、従来のような電界集中箇所の増加も回避でき、浮遊ゲート・制御ゲート間絶縁膜32の耐圧も維持できる。更に、素子分離領域21が耐弗酸性絶縁膜28により保護されていることから、多結晶シリコン膜30、31の表面を弗酸系の処理液により十分に洗浄できるため、浮遊ゲート・制御ゲート間絶縁膜32の耐圧を更に向上できる。よって、浮遊ゲート・制御ゲート間絶縁膜32の耐圧を向上させ、かつフィールドトランジスタの反転耐圧を向上できるので、不揮発性半導体記憶装置及びその製造方法の信頼性を向上できる。また、この耐弗酸性絶縁膜28の形成はセルフアラインにより形成できることから、多結晶シリコン膜31をエッチングする際のマージンを大きくすることが出来るので、製造方法の信頼性を向上できる。

【0054】また、上記耐弗酸性絶縁膜28の形成は、図9(a)乃至図12(b)に示すようにセルフアラインで行うことが出来る。そのため、リソグラフィ技術に

よる加工限界以上に微細化の進んだ不揮発性半導体記憶装置においても本方法を適用でき、更にリソグラフィ工程を必要としないため、不揮発性半導体記憶装置のスループットを向上できる。

【0055】次に、この発明の第2の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0056】図20及び図21は、NOR型フラッシュEEPROMの製造工程の一部のワード線方向に沿った断面図である。

【0057】まず、第1の実施形態で説明した工程により図9のような構造を形成する。第1の実施形態ではその後耐弗酸性絶縁膜28をストッパーに用いたCMPにより耐弗酸性絶縁膜28を露出させ、ウェットエッチングにより多結晶シリコン膜30上の耐弗酸性絶縁膜28及び耐弗酸性絶縁膜28上のシリコン酸化膜43（第1のマスク材）を除去して図11の構造を得ていた。

【0058】それに対して本実施形態では、図9の構造の形成後、多結晶シリコン膜30をCMPのストッパーに用いて研磨を行い、この研磨工程において、図20に示すように、多結晶シリコン膜30上の耐弗酸性絶縁膜28を除去する。

【0059】その後、図21に示すようにウェットエッチングによりシリコン酸化膜43を除去することで、素子分離領域21の上面全体に耐弗酸性絶縁膜28をセルフアラインで形成できる。

【0060】その後は第1の実施形態同様、図13乃至図19の製造工程により図3に示すNOR型フラッシュEEPROMを完成する。

【0061】上記のような製造方法によれば、第1の実施形態で行っていた多結晶シリコン膜30上の耐弗酸性絶縁膜28をホットリン酸により除去する工程を省略できるので、製造工程を短縮でき、製造コストを低減することが出来る。

【0062】次に、この発明の第3の実施形態に係る不揮発性半導体記憶装置及びその製造方法について、NOR型フラッシュEEPROMを例に挙げて説明する。

【0063】図22乃至図27は、NOR型フラッシュEEPROMの製造工程の一部のワード線方向に沿った断面図である。

【0064】まず、第1または第2の実施形態で説明した製造方法により、図13(a)、(b)に示す構造を形成する。

【0065】その後の工程で、リソグラフィ技術とエッチングにより多結晶シリコン膜31をバターンニングして浮遊ゲートを形成するが、半導体素子の微細化と共に、隣接する浮遊ゲートの分離領域幅を狭める要求がある。そして、その要求は現状のリソグラフィ工程の解像限界を超えている場合がある。

【0066】そのような場合には図13(a)、(b)

の構造において、全面に例えばTEOSを用いたシリコン酸化膜44（第2のマスク材）により形成し、図22に示す構造を得る。

【0067】次に、全面にフォトリソを塗布し、リソグラフィ技術により可能な範囲の大きさで露光する。このフォトリソをマスクにしてシリコン酸化膜44をエッチングし図23の構造を形成する。

【0068】次に、図24に示すように、全面に例えばTEOSを用いたシリコン酸化膜45（第3のマスク材）を形成する。

【0069】その後RIE法により異方性のエッチングを行うことにより、図25の構造を得る。すなわち、シリコン酸化膜45をシリコン酸化膜44の側壁にサイドウォールとして残存させることが出来る。

【0070】そして、図26に示すように、上記シリコン酸化膜44、45を用いてRIE法によりエッチングを行うことで、リソグラフィ工程の解像限界よりもより微細な、浮遊ゲートの分離領域を形成できる。

【0071】次に、図27に示すように、ウェットエッチングによりシリコン酸化膜44、45を除去して浮遊ゲート24を完成する。このウェットエッチングでは、エッチング液として弗酸系の処理液を用いるが、素子分離領域21上には耐弗酸性絶縁膜28が形成されているため、素子分離領域21が侵食されるのを防止できる。また、シリコン酸化膜44、45の除去と同時に、多結晶シリコン膜31の洗浄も同時に行うことが出来る。

【0072】その後は、第1の実施形態で説明したように、図14乃至図19の工程により、図3に示すNOR型フラッシュEEPROMを完成する。

【0073】上記のような製造方法によれば、浮遊ゲートの分離領域を形成する際に、マスク材を、まずリソグラフィ技術により可能な限り微細にバターンニングし、このマスク材の側壁に更にマスク材をサイドウォール状に形成している。このサイドウォールは、その膜厚によりかなり正確に制御でき、この2つのマスク材を用いてエッチングを行うことにより、リソグラフィ技術の解像限界よりも微細な半導体装置の加工を可能とする事が出来る。

【0074】なお、上記第1乃至第3の実施形態ではNOR型フラッシュEEPROMを例に挙げて説明したが、NAND型フラッシュEEPROM等、2層構造のゲートを有する半導体記憶装置に広く適用できるのはもちろんであり、この発明の主旨を逸脱しない範囲で適宜変更して実施することが出来る。

【0075】

【発明の効果】以上説明したように、この発明によれば、素子分離領域を保護することにより、フィールドトランジスタの反転耐圧及び浮遊ゲート・制御ゲート間絶縁膜の耐圧を向上出来る、高信頼性の不揮発性半導体記憶装置を提供できる。

【0076】また、リソグラフィ工程を用いず素子分離を保護することで、スループットを向上できる不揮発性半導体記憶装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの回路図。

【図2】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの一部平面図。

【図3】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの一部断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図4】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図5】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図6】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第3の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図7】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第4の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図8】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第5の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図9】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第6の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図10】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第7の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図11】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第8の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図12】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第9の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図13】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第10の製造工程の断面図であ

り、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図14】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第11の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図15】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第12の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図16】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第13の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図17】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第14の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図18】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第15の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図19】この発明の第1の実施形態に係るNOR型フラッシュEEPROMの第16の製造工程の断面図であり、図2において、(a)図はA-A'線、(b)図はB-B'線方向に沿った断面図。

【図20】この発明の第2の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図。

【図21】この発明の第2の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図。

【図22】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第1の製造工程の断面図。

【図23】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第2の製造工程の断面図。

【図24】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第3の製造工程の断面図。

【図25】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第4の製造工程の断面図。

【図26】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第5の製造工程の断面図。

【図27】この発明の第3の実施形態に係るNOR型フラッシュEEPROMの第6の製造工程の断面図。

【図28】従来のNOR型フラッシュEEPROMの断面図。

【図29】従来の問題点について説明するためのもので、NOR型フラッシュEEPROMの断面図。

【図30】従来の素子分離領域上に耐弗酸性絶縁膜を設けたNOR型フラッシュEEPROMの断面図。

【図31】従来の問題点について説明するためのもので、素子分離領域上に耐弗酸性絶縁膜を設けたNOR型

17

フラッシュEEPROMの断面図。

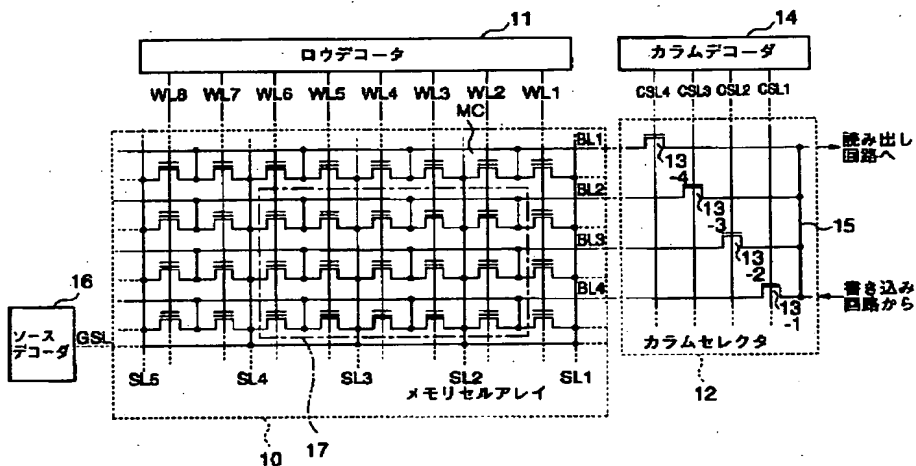
【符号の説明】

- 1 0…メモリセルアレイ
- 1 1…ロウデコーダ
- 1 2…カラムセレクト
- 1 3…トランジスタ
- 1 4…カラムデコーダ
- 1 5…読み出し／書き込みノード
- 1 6…ソースデコーダ
- 1 7、2 7…領域
- 2 0、1 0 0…シリコン基板
- 2 1、1 1 0…素子分離領域
- 2 2、1 2 0…活性領域
- 2 3、1 6 0…制御ゲート
- 2 4、1 4 0…浮遊ゲート

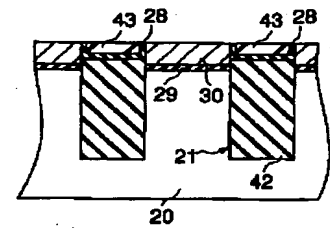
18

- * 25…コンタクトホール
26…ビット線
28、190…耐弗酸性絶縁膜
29、130…ゲート絶縁膜
30、31…多結晶シリコン膜
32、150…浮遊ゲート・制御ゲート間絶縁膜
33…不純物拡散層
34、40…シリコン窒化膜
35…層間絶縁膜
10 36、42、43、44、45…シリコン酸化膜
37…チタン膜
38…タングステン膜
39…コンタクトプラグ
41…トレンチ
* 170、180…浮遊ゲート角部

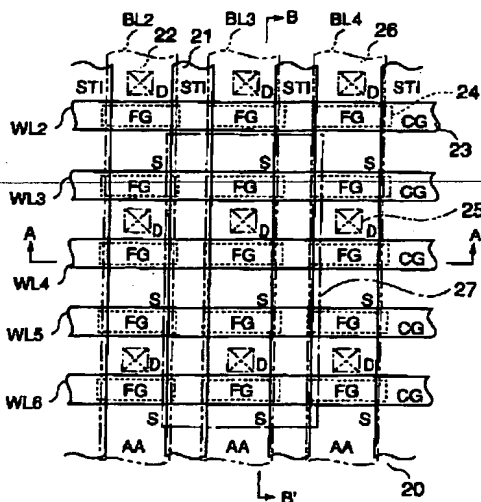
【圖 1】



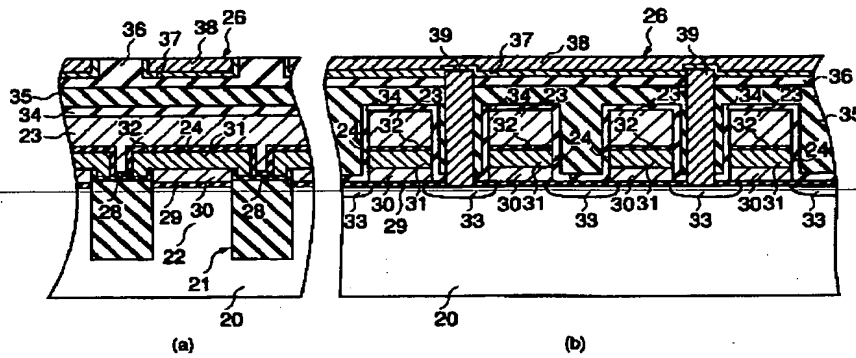
【圖20】



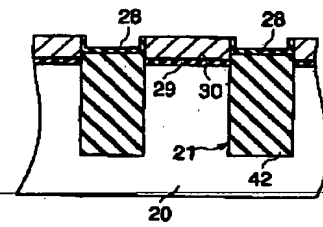
【圖2】



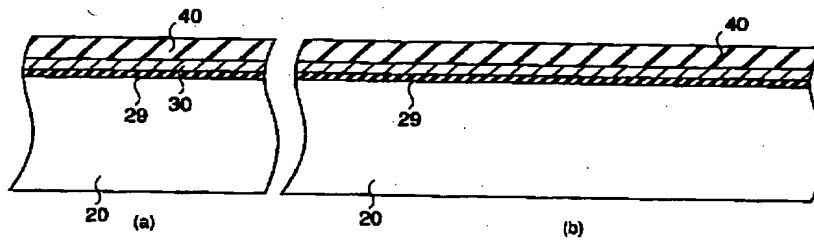
【図 3】



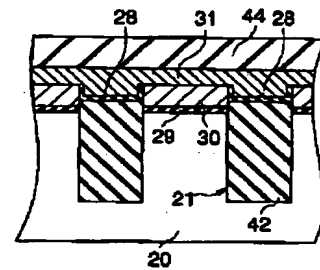
【図 21】



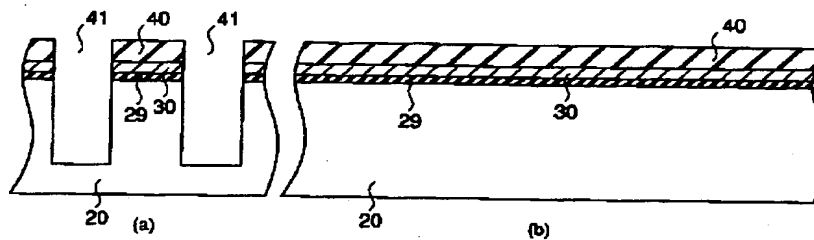
【図 4】



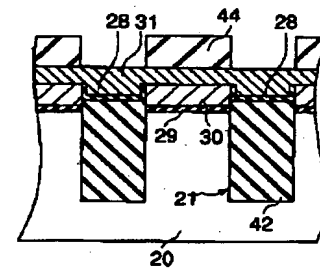
【図 22】



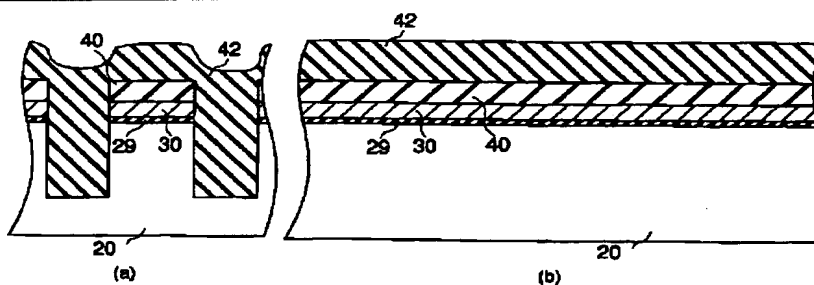
【図 5】



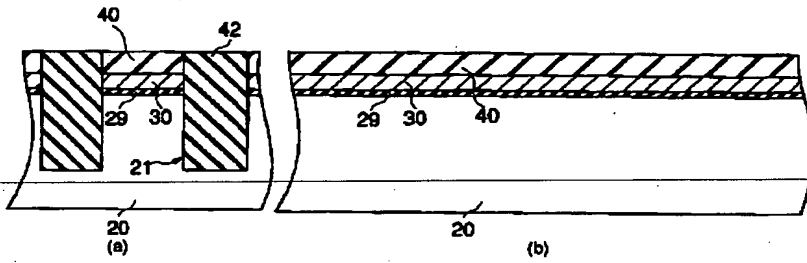
【図 23】



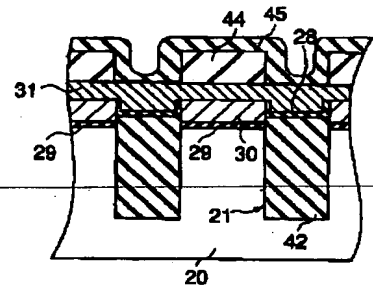
【図 6】



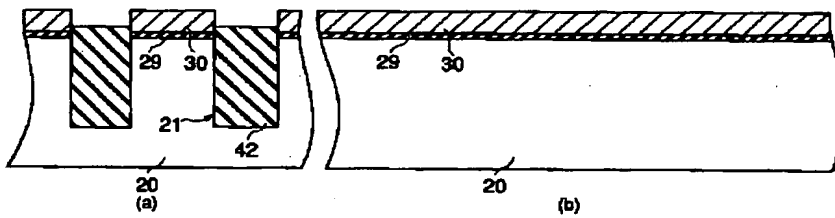
【図7】



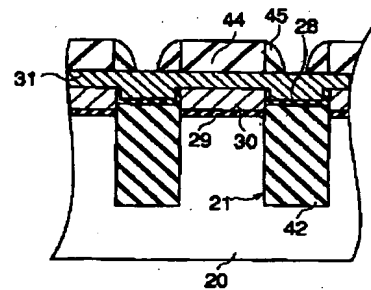
【図24】



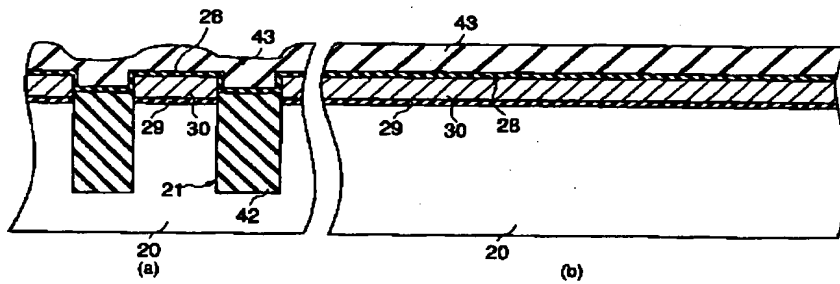
【図8】



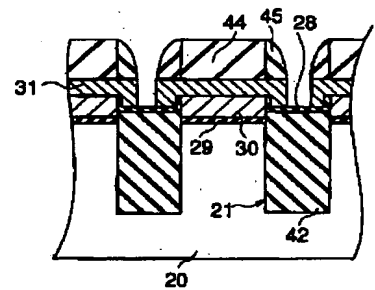
【図25】



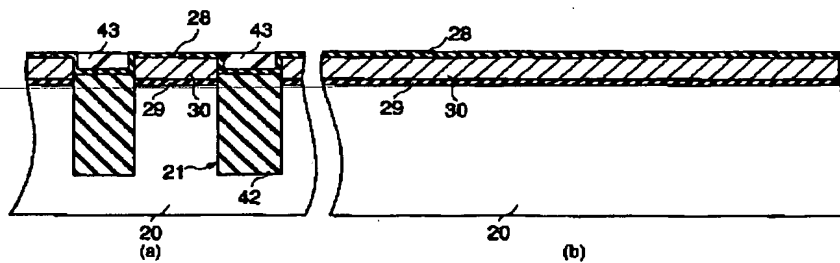
【図9】



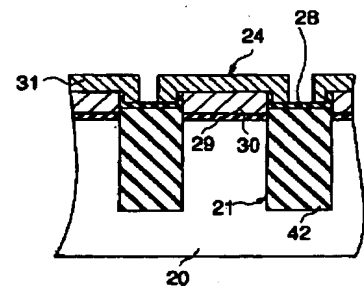
【図26】



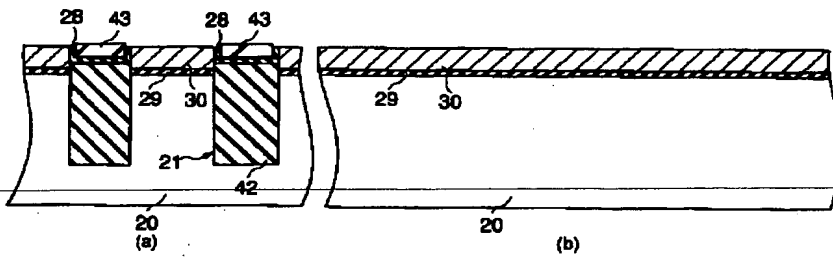
【図10】



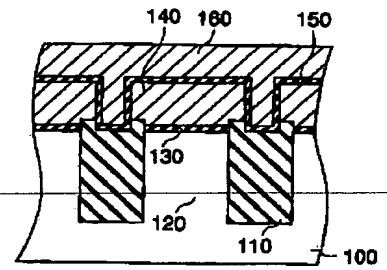
【図27】



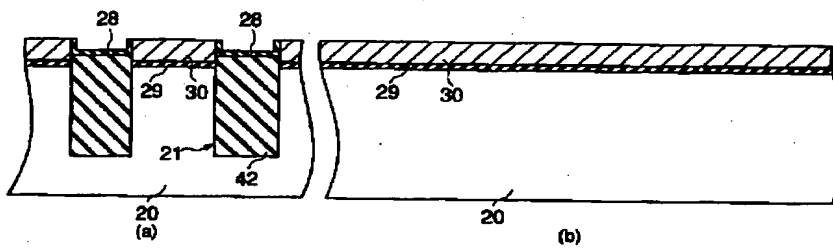
【図11】



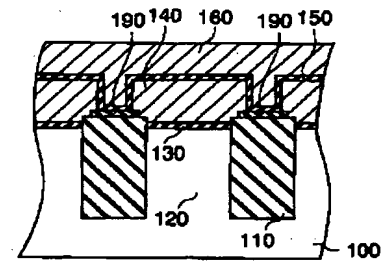
【図28】



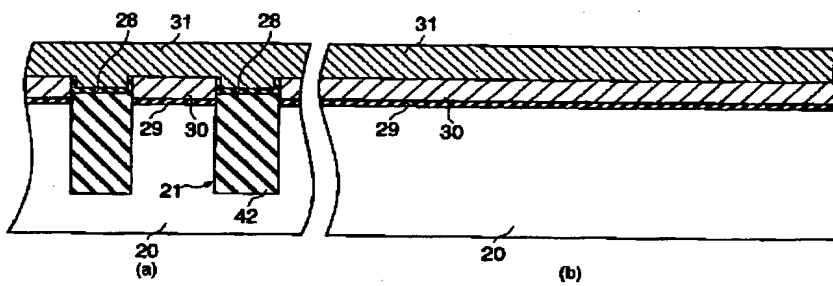
【図12】



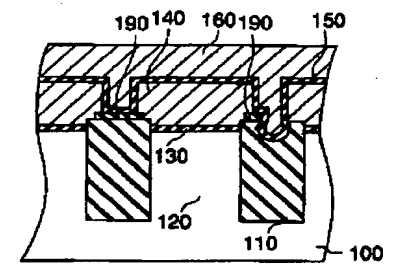
【図30】



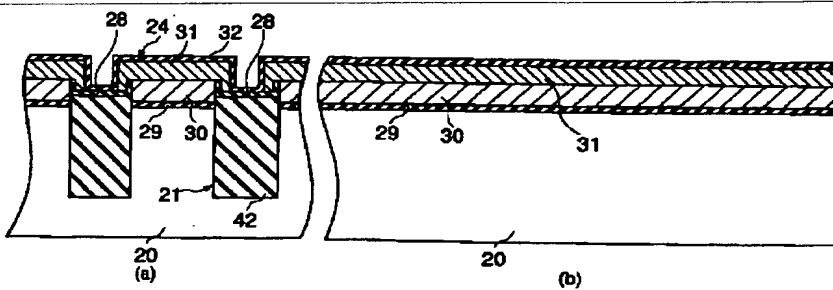
【図13】



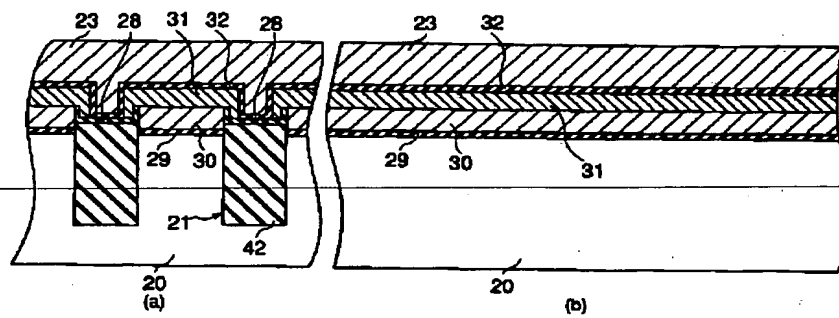
【図31】



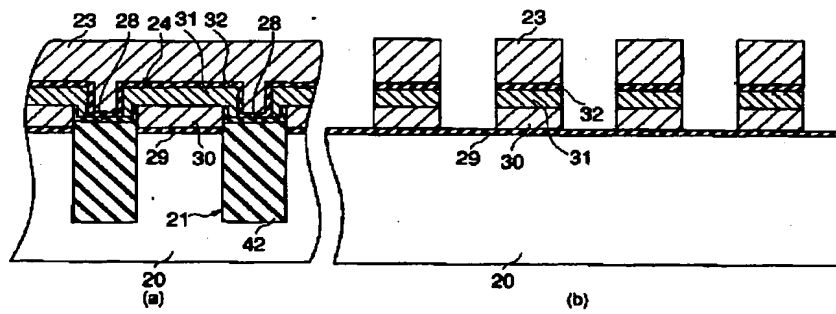
【図14】



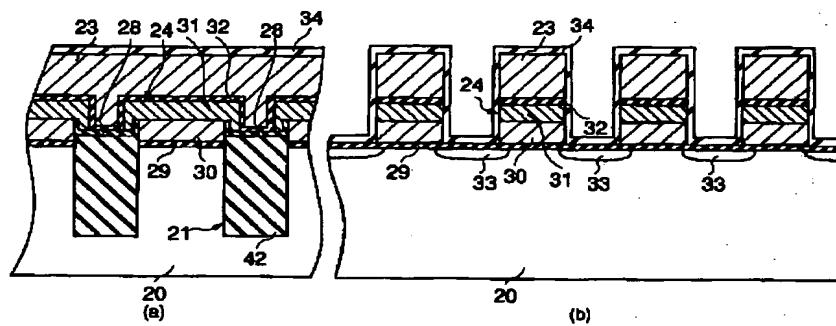
【図15】



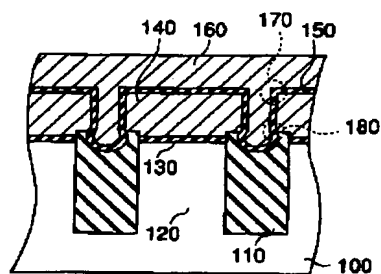
【図16】



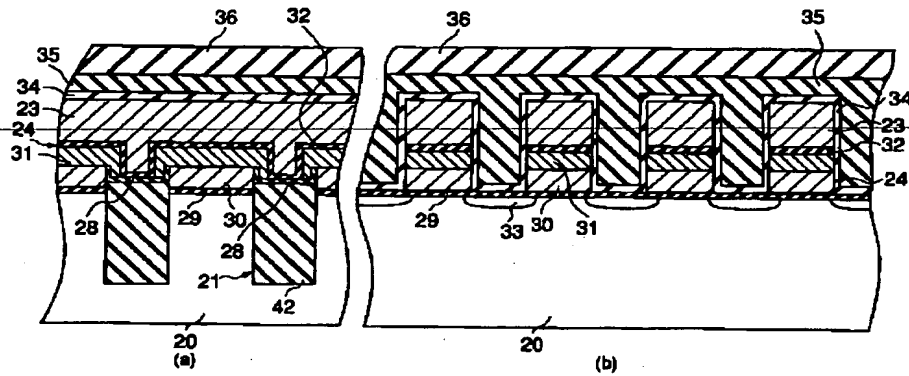
【図17】



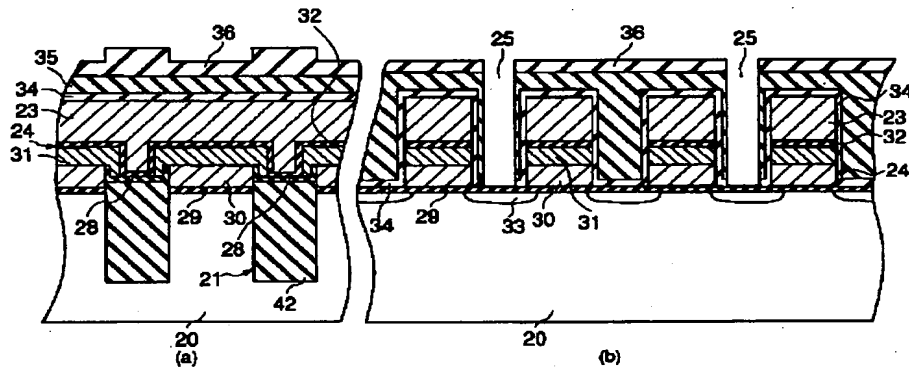
【図29】



【図18】



【図19】



フロントページの続き

F ターム(参考) 5F001 AA30 AA43 AB08 AD53 AD60
 AF25 AG03 AG07 AG28 AG29
 5F083 EP05 EP23 EP54 EP55 EP56
 EP76 EP77 ER22 GA24 GA28
 JA04 JA39 JA56 MA06 MA20
 NA01 PR05 PR29 PR40
 5F101 BA12 BB05 BD34 BD35 BF09
 BH05 BH13 BH15 BH19